

19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

1067 10649249 11/28/03
Offenlegungsschrift
DE 198 42 441 A 1

5 Int. Cl.⁶
H 01 L 27/12
H 01 L 23/556

21 Aktenzeichen: 198 42 441.8
22 Anmeldetag: 16. 9. 98
43 Offenlegungstag: 9. 9. 99

4

DE 198 42 441 A 1

30 Unionspriorität:
P 10-45459 26. 02. 98 JP
71 Anmelder:
Mitsubishi Denki K.K., Tokio/Tokyo, JP
74 Vertreter:
Prüfer und Kollegen, 81545 München

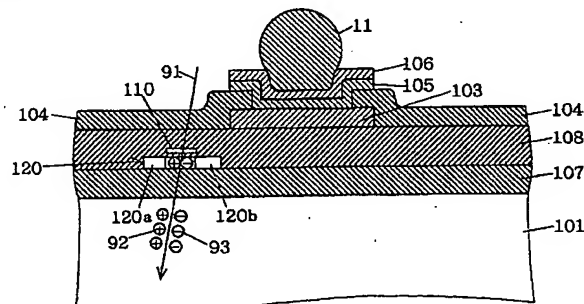
72 Erfinder:
Maeda, Shigenobu, Tokio/Tokyo, JP; Nishimura,
Tadashi, Tokio/Tokyo, JP; Tsutsumi, Kazuhito,
Tokio/Tokyo, JP; Maegawa, Shigeto, Tokio/Tokyo,
JP; Hirano, Yuuichi, Tokio/Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Halbleiterbauelement und Verfahren zu seiner Herstellung

57 Es wird ein Halbleiterbauelement für die CSP-Montage, bei dem Fehler aufgrund von Alphastrahlen vermieden werden und das hochgradig spannungsbeständig ist, geschaffen. Auf einem Halbleitersubstrat (101) ist ein vergrabener Oxidfilm (107) ausgebildet, auf dem ein MOS-Transistor mit einer SOI-Struktur gebildet ist. Der MOS-Transistor enthält Source- und Drainbereiche (120a, 120b), die in einer Halbleiterschicht (120) ausgebildet sind, sowie eine Gateelektrode (110). Auf einem Zwischenschicht-Isolierfilm (108) sind eine Aluminiumanschlußfläche (103), die entweder mit dem Sourcebereich (120a) oder mit dem Drainbereich (120b) über einen Verbindungsmechanismus verbunden ist, sowie ein Siliciumnitridfilm (104) mit einer Öffnung auf der Oberseite der Aluminiumanschlußfläche (103) ausgebildet. Eine Titanschicht (105) und eine Nickelschicht (106) erstrecken sich von der Aluminiumanschlußfläche (103) zu einem Ende des Siliciumnitridfilms (104). Auf der Nickelschicht (106) ist ein Löthöcker (11) angeordnet.



DE 198 42 441 A 1

Beschreibung

Die vorliegende Erfindung betrifft ein Halbleiterbauelement und insbesondere ein Halbleiterbauelement, das in CSP-Form (Chip Size Package = Chipgrößengehäuse) montiert ist.

Fig. 9 ist eine schematische Querschnittsansicht einer CSP-Montage. Ein Halbleiterbauelement 1 ist in Form eines Chips direkt auf einer Leiterplatte 2 montiert, um die für die Montage des Halbleiterbauelements 1 auf der Leiterplatte 2 erforderliche Fläche zu reduzieren. Das Halbleiterbauelement 1 in Chipform enthält Löthöcker 11, über die das Halbleiterbauelement 1 mit der Leiterplatte 2 verbunden ist.

Fig. 10 ist eine schematische Querschnittsansicht eines weiteren Typs einer CSP-Montage. Wie in Fig. 10 gezeigt ist, ist das Halbleiterbauelement 1 in Chipform manchmal von einem Gießharz 12 bedeckt, das die Exposition der Löthöcker 11 ermöglicht.

Die Fig. 11 bis 14 sind Querschnittsansichten zur Erläuterung eines Verfahrens zur Herstellung eines Halbleiterbauelements in der Reihenfolge aufeinanderfolgender Prozessschritte. Wie in Fig. 11 gezeigt ist, sind auf einer oberen Oberfläche eines Halbleitersubstrats 101 beispielsweise aus Silicium Diffusionsschichten 101a und 101b, die als Source und als Drain dienen, ausgebildet. Auf dem Halbleitersubstrat 101 ist ein Zwischenschicht-Isolierfilm 102 ausgebildet, der beispielsweise aus Siliciumdioxid hergestellt ist. Gegenüber der oberen Oberfläche eines Abschnitts des Halbleitersubstrats 101, der zwischen den Diffusionsschichten 101a und 101b liegt, ist über einem Gate-Isolierfilm (der um der einfachen Darstellung willen mit dem Zwischenschicht-Isolierfilm 102 gleichgesetzt ist) ein Gate 109 ausgebildet. Mit der Diffusionsschicht 101b ist über einen nicht gezeigten Verbindungsmechanismus, beispielsweise ein Kontaktloch, eine Aluminiumanschlußfläche 103 verbunden.

Auf der in Fig. 11 gezeigten Struktur wird durch einen Plasma-CVD-Prozess ein Siliciumnitridfilm 104 ausgebildet. Ein Teil des Siliciumnitridfilms 104, der über der Aluminiumanschlußfläche 103 liegt, wird durch Photolithographie und durch Ätzung selektiv entfernt, um die in Fig. 12 gezeigte Struktur zu schaffen.

Auf der in Fig. 12 gezeigten Struktur werden durch einen Zerstäubungsprozeß (Sputtern) eine Titanschicht 105 und eine Nickelschicht 106 aufgebracht (abgeschieden). Dann werden Photolithographie- und Ätzprozesse so ausgeführt, daß die Titanschicht 105 und die Nickelschicht 106 nur in einem Bereich zurückbleiben, der sich von der Aluminiumanschlußfläche 103 zu einem Ende des Siliciumnitridfilms 104 erstreckt, wodurch die in Fig. 13 gezeigte Struktur geschaffen wird.

Auf einer Mehrschichtstruktur, die in dem in Fig. 13 gezeigten Aufbau aus der Aluminiumanschlußfläche 103, der Titanschicht 105 und der Nickelschicht 106 besteht, wird ein Löthöcker 11 angeordnet, um die in Fig. 14 gezeigte Struktur zu schaffen.

Wie im Stand der Technik wohl bekannt ist, bewirken bei einer Bestrahlung mit einem Alphastrahl bzw. einem Alpha-Teilchen 91 Elektronen 93 und Löcher 92, die im Halbleiter erzeugt werden, Betriebsfehler eines Halbleiterbauelements. Obwohl das Halbleiterbauelement von dem Gießharz 12 bedeckt ist und die Löthöcker 11 wie in Fig. 10 gezeigt freiliegen, ist es notwendig gewesen, beispielsweise ein Polyimidharz zu verwenden, das für Alphastrahlen weniger durchlässig als das Material des typischen Gießharzes 12 ist, um das Halbleiterbauelement vor den Alphastrahlen abzuschirmen und zu schützen.

Leider kann das Polyimidharz das Halbleiterbauelement in Chipform, das bei der CSP-Montage verwendet wird, nur

schwer vor Alphastrahlen abschirmen und schützen. Die Herstellung eines Polyimidfilms anstelle des Siliciumnitridfilms 104 oder auf dem Siliciumnitridfilm 104 könnte die Entfernung der Titanschicht 105 und der Nickelschicht 106 sowie die Erzeugung ungleichmäßiger oder rauher Oberflächen zur Folge haben.

Diese Probleme ergeben sich aus der Filmaufbringungs-temperatur, die die Temperatur von 300°C übersteigt, mit der die Titanschicht 105 und die Nickelschicht 106 durch den Zerstäubungsprozeß aufgebracht werden. Im allgemeinen wird ein Polyimid durch Dehydratation von Carboxyl-Polyamid in flüssigem Zustand durch Erhitzen auf eine Temperatur von 300°C bis 350°C, um eine Polymerisierung hervorzurufen, hergestellt. Es ist jedoch schwierig, die in dem Carboxyl-Polyamid enthaltene Feuchtigkeit vollständig zu entfernen. Die in dem Polyimid verbleibende Feuchtigkeit könnte während des Zerstäubens der Titanschicht 105 und der Nickelschicht 106 freigesetzt werden, wodurch Probleme der Entfernung der Feuchtigkeit sowie der Erzeugung unebener Oberflächen entstehen.

Weiterhin werden zwischen dem Halbleiterchip und der Leiterplatte mechanische Spannungen erzeugt, da die Leiterplatte im allgemeinen einen höheren Wärmeausdehnungskoeffizienten als der Halbleiterchip besitzt. Bei der CSP-Montage sind keine spannungsentlasteten Anschlußdrahtstrahlen wie bei der Anschlußdrahtgehäuse-Montage vorhanden, was Schwierigkeiten bei der Entlastung von Spannungen nach der Gehäusemontage zur Folge hat. Die Schwierigkeiten der Spannungsentlastung ergeben eine gewisse Wahrscheinlichkeit für im Halbleitersubstrat 101 erzeugte Risse. Die Diffusionsschichten 101a und 101b sind im allgemeinen in einem Störstellendifusionsbereich, der als Wanne bekannt ist, ausgebildet. Die Erzeugung von Rissen in der Wanne verschlechtert die Transistoreigenschaften erheblich.

Der Erfindung liegt daher die Aufgabe zugrunde, ein Halbleiterbauelement für die CSP-Montage und ein Verfahren zu seiner Herstellung zu schaffen, wobei in dem Halbleiterbauelement Fehler aufgrund von Alphastrahlung vermieden werden und das Halbleiterbauelement gegenüber Beanspruchungen hochgradig beständig ist.

Diese Aufgabe wird gelöst durch ein Halbleiterbauelement nach Anspruch 1 oder 9 oder 11 bzw. durch ein Verfahren zur Herstellung nach Anspruch 5. Weiterbildungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

Das Halbleiterbauelement nach Anspruch 1 enthält eine Halbleiterschicht, die in einer Isolierschicht vorgesehen ist und einen darin ausgebildeten Transistor mit SOI-Struktur enthält, eine auf der Isolierschicht vorgesehene Elektrode und einen elektrisch leitenden Höcker, der auf der Elektrode vorgesehen ist.

Bei dem Halbleiterbauelement nach Anspruch 3 enthält der Transistor bevorzugt mehrere Transistorfeldabschirmungen, die voneinander isoliert und in der Halbleiterschicht ausgebildet sind.

Das Verfahren nach Anspruch 5 zur Herstellung eines Halbleiterbauelements enthält die folgenden Schritte: (a) Bilden einer Elektrode auf einem Halbleitersubstrat und (b) Bilden eines elektrisch leitenden Höckers auf der Elektrode und Bilden eines Isolierfilms zum Blockieren von Alphastrahlen sowie Abdecken einer oberen Oberfläche des Halbleitersubstrats mit Ausnahme der Elektrode.

In dem Verfahren nach Anspruch 6 enthält der Schritt (b) nach Anspruch 5 bevorzugt die folgenden Schritte: (b-1) Bilden des Isolierfilms zum Blockieren der Alphastrahlen und Bedecken der oberen Fläche des Halbleitersubstrats, so daß wenigstens ein Teil der Elektrode freiliegt, und (b-2) Bilden des elektrisch leitenden Höckers auf dem freiliegen-

den Teil der Elektrode.

In dem Verfahren nach Anspruch 9 enthält der Schritt (b) nach Anspruch 5 bevorzugt die folgenden Schritte: (b-1) Bilden des Höckers auf der Elektrode und (b-2) Tropfenlassen des Materials des Isolierfilms zum Blockieren der Alphastrahlen auf die obere Fläche des Halbleitersubstrats mit Ausnahme der Elektrode.

Das Halbleiterbauelement nach Anspruch 9 enthält ein Halbleitersubstrat, eine auf dem Halbleitersubstrat angeordnete Elektrode, einen auf der Elektrode vorgesehenen elektrisch leitenden Höcker, einen das Halbleitersubstrat mit Ausnahme des Höckers bedeckenden Film zum Blockieren von Alphastrahlen, ein erstes Element, das in dem Halbleitersubstrat in einem Bereich angeordnet ist, der vom Höcker aus ohne Behinderung durch den Film sichtbar ist, und ein zweites Element, das im Halbleitersubstrat in einem von diesem Bereich verschiedenen Bereich angeordnet ist, wobei das zweite Element gegenüber einer Alphastrahlung weniger beständig als das erste Element ist.

In dem Halbleiterbauelement nach Anspruch 10 ist das erste Element in dem Halbleiterbauelement nach Anspruch 9 ein MOS-Transistor, dessen Körper auf einem festen Potential liegt.

Das Halbleiterbauelement nach Anspruch 1 oder nach Anspruch 3 kann in einer sogenannten CSP-Montage angebracht werden, bei der der leitende Höcker mit einer Leiterplatte verbunden wird. Weiterhin besitzt der Transistor die SOI-Struktur, wobei Elektronen und Löcher, die aufgrund einer Alphastrahlung in der Halbleiterschicht, in der der Transistor gebildet ist, erzeugt werden, in Mengen vorkommen, die die Funktionsweise des Transistors nicht beeinflussen. Ferner besteht eine geringe Wahrscheinlichkeit für die Erzeugung von Rissen in der Halbleiterschicht aufgrund der Beanspruchungen, die sich aus den unterschiedlichen Wärmeausdehnungskoeffizienten zwischen der Leiterplatte und dem Halbleiterbauelement ergeben und die bei der CSP-Montage ein Problem gewesen sind.

Falls in dem Verfahren nach den Ansprüchen 5 bis 7 der die Alphastrahlung blockierende Film, der aus Polyimid hergestellt ist, das gegenüber einer Erhitzung nach seiner Ausbildung nicht beständig ist, als Isolierfilm verwendet wird, werden Einflüsse aufgrund eines Temperaturanstiegs während der Bildung der Elektrode auf dem Isolierfilm vermieden, da die Bildung der Elektrode unter dem Höcker der Bildung des Isolierfilms vorhergeht.

Bei dem Halbleiterbauelement nach Anspruch 9 ist das erste Element, das gegenüber Alphastrahlen hochgradig beständig ist, in dem Bereich ausgebildet, in dem die von dem Höcker stammenden Alphastrahlen nicht durch einen Film blockiert werden. Dadurch ist eine effektive Flächennutzung möglich und werden nachteilige Wirkungen, die sich aus der Alphastrahlung ergeben, vermieden.

Bei dem Halbleiterbauelement nach Anspruch 10 liegt der Körper des MOS-Transistors, der als erstes Element dient, auf einem festen Potential. Dadurch werden parasitäre bipolare Effekte vermieden, wodurch die Beständigkeit gegenüber der Alphastrahlung weiter erhöht wird.

Weitere Merkmale und Vorteile der Erfindung werden deutlich beim Lesen der folgenden Beschreibung bevorzugter Ausführungen, die auf die beigefügten Figuren Bezug nimmt. Von den Figuren zeigen:

Fig. 1 eine Querschnittsansicht zur Erläuterung der Struktur eines Halbleiterbauelements gemäß einer ersten bevorzugten Ausführung der Erfindung;

Fig. 2 eine Querschnittsansicht zur Erläuterung einer weiteren Struktur gemäß der ersten bevorzugten Ausführung;

Fig. 3-5 Querschnittsansichten zur Erläuterung eines Verfahrens zur Herstellung des Halbleiterbauelements in der

Reihenfolge aufeinanderfolgender Prozessschritte gemäß einer zweiten bevorzugten Ausführung der Erfindung;

Fig. 6 eine Querschnittsansicht zur Erläuterung des Verfahrens zur Herstellung des Halbleiterbauelements gemäß einer dritten bevorzugten Ausführung der Erfindung;

Fig. 7 eine Querschnittsansicht zur Erläuterung einer Struktur des Halbleiterbauelements gemäß einer vierten bevorzugten Ausführung der Erfindung;

Fig. 8 eine Querschnittsansicht zur Erläuterung einer Struktur des Halbleiterbauelements gemäß einer fünften bevorzugten Ausführung der Erfindung;

Fig. 9 die bereits erwähnte schematische Querschnittsansicht einer CSP-Montage;

Fig. 10 die bereits erwähnte schematische Querschnittsansicht eines weiteren Typs einer CSP-Montage; und

Fig. 11-14 die bereits erwähnten Querschnittsansichten zur Erläuterung eines Verfahrens zur Herstellung eines Halbleiterbauelements in der Reihenfolge aufeinanderfolgender Prozessschritte.

Erste bevorzugte Ausführung

Fig. 1 ist eine Querschnittsansicht zur Erläuterung der Struktur eines Halbleiterbauelements gemäß einer ersten bevorzugten Ausführung der Erfindung. Auf einem Halbleitersubstrat 101 beispielsweise aus Silicium ist ein vergrabener Oxidfilm 107 ausgebildet. Auf dem vergrabenen Oxidfilm 107 ist ein MOS-Transistor mit einer SOI-Struktur (SOI = Semiconductor-on-Insulator = Halbleiter-auf-Isolator) ausgebildet. Der MOS-Transistor enthält Source- und Drain-Bereiche 120a bzw. 120b, die in einer Halbleiterschicht 120 beispielsweise aus Silicium gebildet sind, sowie eine Gate-Elektrode 110. Die Halbleiterschicht 120 und die Gate-Elektrode 110 sind mit einem Zwischenschicht-Isolierfilm 108 bedeckt, der beispielsweise aus BPTEOS (Bor-Phosphor-Tetraethyl-Orthosilikat) und/oder aus NSG (nichtdotiertes Silikatglas) hergestellt ist und auf dem vergrabenen Oxidfilm 107 ausgebildet ist.

Auf dem Zwischenschicht-Isolierfilm 108 ist eine Aluminiumanschlußfläche 103, die entweder mit dem Sourcebereich 120a oder mit dem Drainbereich 120b über nicht gezeigte Verbindungsmechanismen verbunden ist, sowie ein Siliciumnitridfilm 104 mit einer Öffnung auf der Oberseite der Aluminiumanschlußfläche 103 ausgebildet. Lediglich in einem Bereich, der sich von der Aluminiumanschlußfläche 103 zu einem Ende des Siliciumnitridfilms 104 erstreckt, sind eine Titanschicht 105 und eine Nickelschicht 106 ausgebildet. Auf der Nickelschicht 106 ist ein Löthöcker 11 angeordnet.

Ein unterer Teil (der das Halbleitersubstrat 101 enthält) einer solchen Struktur, der unter dem Zwischenschichtisolierfilm 108 liegt und diesen umfaßt, kann unter Verwendung einer Technik zur Bildung eines SOI-Transistors geschaffen werden. Ein oberer Teil (der den Löthöcker 11 enthält) einer solchen Struktur, der über dem Zwischenschicht-Isolierfilm 108 liegt, kann durch die in den Fig. 11 bis 14 gezeigte Technik ausgebildet sein.

In der Halbleiterschicht 120 und in dem Halbleitersubstrat 101 werden Elektronen 93 und 92 erzeugt, wenn die Struktur nach Fig. 1 mit Alphastrahlen bzw. einem Alpha-Teilchen 91 bestrahlt wird. Da jedoch die Halbleiterschicht 120 für den SOI-Transistor vorgesehen ist, kann die Dicke der Halbleiterschicht 120 auf eine für die Bildung des Kanals erforderliche Dicke reduziert werden. Somit werden die Elektronen 93 und Löcher 92 in der Halbleiterschicht 120 in einer viel kleineren Anzahl als in dem Halbleitersubstrat 101 erzeugt. Aus diesem Grund wird der SOI-Transistor durch die Alphastrahlung weniger stark als bei einem so-

SOI - hier
ist die Dicke
des Kanals
für den SOI-Transistor
reduziert

nannten Bulk-Transistor, wie er in Fig. 14 gezeigt ist, nachteilig beeinflusst.

Wenn ferner eine solche Struktur nach dem Erhitzen des Lötöckers 11 und der CSP-Montage gekühlt wird, werden Spannungen erzeugt, so daß die Leiterplatte, die einen höheren Wärmeausdehnungskoeffizienten als der Halbleiterchip besitzt, um einen größeren Betrag schrumpft. Da jedoch die Halbleiterschicht 120 eine geringe Dicke und eine geringe Länge besitzt, ist die Wahrscheinlichkeit für die Erzeugung von Rissen in der Halbleiterschicht 120 geringer als für jene Risse, die im Halbleitersubstrat 101 erzeugt würden. Dadurch wird ein Halbleiterchip mit einer größeren Beständigkeit gegenüber Beanspruchungen als bei der in Fig. 14 gezeigten Struktur geschaffen, ohne daß die Größenreduzierung, die für die CSP-Montage charakteristisch ist, beeinträchtigt wird.

Fig. 2 ist eine Querschnittsansicht zur Erläuterung einer weiteren Struktur des Halbleiterbauelements gemäß der ersten bevorzugten Ausführung der Erfindung. Die Halbleiterschicht 120 erstreckt sich senkrecht zur Längsrichtung eines nicht gezeigten Kanals (d. h. in Richtung der Kanalbreite). Für die FS-Isolation (FS = Field Shield Isolation = Feldabschirmung) mehrerer Transistoren sind FS-Gates 111 vorgesehen, die in Richtung der Kanalbreite angeordnet sind. Die Halbleiterschicht 120 ist, selbst wenn sie in dieser Weise verlängert ist, viel dünner als das Halbleitersubstrat 101. Daher können Beanspruchungen leichter entlastet werden und es werden weiterhin in der Halbleiterschicht 120 weniger Risse erzeugt. Risse, sofern vorhanden, im Halbleitersubstrat 101 üben auf die Eigenschaften des in der Halbleiterschicht 120 gebildeten Transistors keinen Einfluß aus. Daher beeinträchtigt die Struktur nach Fig. 2, die die langgestreckte Halbleiterschicht 120 für die FS-Isolation enthält, die Wirkungen der Erfindung im Vergleich zu der Struktur nach Fig. 1 nicht.

Zweite bevorzugte Ausführung

Die Fig. 3 bis 5 sind Querschnittsansichten zur Erläuterung eines Verfahrens zur Herstellung des Halbleiterbauelements in der Reihenfolge aufeinanderfolgender Prozessschritte gemäß einer zweiten bevorzugten Ausführung der Erfindung.

Wie in Fig. 3 gezeigt ist, wird auf dem Halbleitersubstrat 101 ein Zwischenschicht-Isolierfilm 102 ausgebildet, auf dem eine Mehrschichtstruktur, die die Aluminiumanschlußfläche 103, die Titanschicht 105 und die Nickelschicht 106 enthält, ausgebildet wird. Die Aluminiumanschlußfläche 103 ist mit nicht gezeigten Source- und Drainbereichen elektrisch verbunden. Die lokale Dreifachmetallschichtstruktur, die in Fig. 3 gezeigt ist, kann durch bekannte Halbleiterherstellungstechniken erhalten werden.

Danach werden der Siliciumnitridfilm 104 und eine Polyimidschicht 203 aufgebracht, ferner wird auf der Oberseite der Nickelschicht 106 eine Öffnung ausgebildet (Fig. 4). Ein Mehrschichtfilm 201, der den Siliciumnitridfilm 104 und die Polyimidschicht 203 enthält, dient als Film zum Blockieren von Alphastrahlen. Dann wird in der Öffnung der Lötöcker 11 ausgebildet, woraufhin das Halbleiterbauelement in Chipform fertiggestellt ist (Fig. 5). Diese Struktur, die die Polyimidschicht 203 enthält, die verhindert, daß Alphastrahlen in das Halbleitersubstrat 101 eindringen, kann Fehler vermeiden, die sich aus den Alphastrahlen ergeben, falls in dem Halbleitersubstrat 101 ein Bulk-Transistor ausgebildet ist. Alphastrahlen, die von unterhalb des Halbleitersubstrats 101 ankommen (wo der Zwischenschicht-Isolierfilm 102 nicht vorgesehen ist), erreichen die Diffusionsschichten 101a und 101b unter normalen Bedingungen nicht und müs-

sen daher im wesentlichen nicht berücksichtigt werden.

Die Polyimidschicht 203 wird ausgebildet, nachdem die Titanschicht 105 und die Nickelschicht 106 ausgebildet worden sind. Die Temperatur steigt während des Schrittes der Ausbildung des Lötöckers 11 auf ungefähr 200°C an. Daher wird das Problem der von der bereits gebildeten Polyimidschicht 203 freigegebenen Feuchtigkeit vermieden.

Dritte bevorzugte Ausführung

Fig. 6 ist eine Querschnittsansicht zur Erläuterung des Verfahrens zur Herstellung des Halbleiterbauelements gemäß einer dritten bevorzugten Ausführung der Erfindung. Auf die in Fig. 14 gezeigte Struktur wird mit Ausnahme des Lötöckers 11 Carboxyl-Polyamid getropft. Danach wird die sich ergebende Struktur erhitzt, um die Polyimidschicht 203 mit Ausnahme des Bereichs auf dem Lötöcker 11 zu bilden. Dadurch werden Alphastrahlen blockiert, ohne die Verbindung zwischen dem Lötöcker 11 und der Leiterplatte zu stören.

Selbstverständlich ist das in der oben beschriebenen Technik verwendete Material nicht auf Carboxyl-Polyamid eingeschränkt, statt dessen kann irgendein Material verwendet werden, mit dem Alphastrahlen blockiert werden und das herabtropfen kann.

Vierte bevorzugte Ausführung

Fig. 7 ist eine Querschnittsansicht zur Erläuterung einer Struktur des Halbleiterbauelements gemäß einer vierten bevorzugten Ausführung der Erfindung. In der oberen Fläche des Halbleitersubstrats 101 sind ein Isolieroxidfilm 400 mit einem Bereich AR sowie Diffusionsschichten 101a und 101b, die als Source- und Drainbereiche dienen, ausgebildet. Der Zwischenschicht-Isolierfilm 102, der Gateelektroden 109 umgibt, ist auf dem Halbleitersubstrat 101 ausgebildet. Die Mehrschichtstruktur, die die Aluminiumanschlußfläche 103, die Titanschicht 105 und die Nickelschicht 106 enthält, ist lokal auf dem Zwischenschicht-Isolierfilm 102 ausgebildet. Der Lötöcker 11 ist auf der Mehrschichtstruktur angeordnet. Der Film 201 ist auf dem Zwischenschicht-Isolierfilm 102 mit Ausnahme des Lötöckers 11 ausgebildet. Die Bildung des Films 201 kann unter Verwendung des in der zweiten oder in der dritten bevorzugten Ausführung gezeigten Prozessschrittes zur Bildung des Polyimidfils 203 erfolgen.

Das Vorhandensein des Films 201 und des Lötöckers 11 schließt von vornherein Alphastrahlen aus, die durch die Luft ankommen und in das Halbleitersubstrat 101 eindringen. Da jedoch das Lötmittel im allgemeinen Blei als Bestandteil und radioaktive Isotope als Verunreinigung in nicht geringen Mengen enthält, besteht eine gewisse Wahrscheinlichkeit, daß Alphastrahlen vom Lötöcker 11 selbst in das Halbleitersubstrat 101 eindringen.

Um dies zu verhindern, wird auf der oberen Fläche des Halbleitersubstrats 101 die Fläche AR geschaffen, die vom Lötöcker 11 ohne Behinderung durch den Film 201 sichtbar ist (d. h. mit dem Lötöcker 11 durch gedachte Linien, die den Film 201 nicht berühren, verbindbar ist). Ein Element, dessen Funktionsweise durch einen geringen Anstieg der elektrischen Ladungen beeinflusst wird, etwa ein Transistor und ein Kondensator, wird in dem Bereich AR, in dem vom Lötöcker 11 Alphastrahlen eindringen könnten, nicht gebildet. Beispielsweise besitzt ein Kondensator, der in dem bei der CSP-Montage verwendeten Halbleiterbauelement gebildet wird, eine Kapazität von einigen zehn Femto-Coulomb, wobei die Funktionsweise eines solchen Kondensators durch die Erzeugung geringer Mengen von Elektronen

Film 201
nicht
unter dem
Lötöcker!

Loch-Paaren beeinflusst wird.

Der Isolieroxidfilm 400 ist beispielsweise im Bereich AR ausgebildet. Alternativ können in dem Bereich AR der SOI-Transistor, der gegenüber den Alphastrahlen hochgradig beständig ist und in der ersten bevorzugten Ausführung gezeigt ist, oder ein Widerstandselement ausgebildet sein. Da der Film 201 verhindert, daß die vom Lötöcker 11 ankommenden Alphastrahlen sowie die aus der Luft kommenden Alphastrahlen den Transistor, der in dem vom Bereich AR verschiedenen Bereich ausgebildet ist, erreichen, können Fehler im Transistor aufgrund der Alphastrahlen vermieden werden.

Insbesondere kann ein Element, das eine größere Beständigkeit gegenüber Alphastrahlen besitzt als das Element, das in dem vom Bereich AR verschiedenen Bereich ausgebildet ist, im Bereich AR ausgebildet sein, wodurch eine effektive Flächennutzung ermöglicht wird, ohne die Beständigkeit des gesamten Halbleiterbauelements gegenüber den Alphastrahlen nachteilig zu beeinflussen.

Fünfte bevorzugte Ausführung

Fig. 8 ist eine Querschnittsansicht zur Erläuterung einer Struktur eines Halbleiterbauelements gemäß einer fünften bevorzugten Ausführung der Erfindung. Wie in der ersten bevorzugten Ausführung enthält das Halbleiterbauelement der fünften bevorzugten Ausführung mehrere SOI-Transistoren 121 bis 123. Der SOI-Transistor 121 enthält Source- und Drainbereiche 121a und 121b, einen Körperabschnitt 121c und eine Gate-Elektrode 121d. Der SOI-Transistor 122 enthält Source- und Drainbereiche 122a und 122b, einen Körperabschnitt 122c und eine Gate-Elektrode 122d. Der SOI-Transistor 123 enthält Source- und Drainbereiche 123a und 123b, einen Körperabschnitt 123c und eine Gate-Elektrode 123d. Die Körperabschnitte 121c und 122c liegen auf schwebendem Potential, d. h. sind nicht auf ein festes Potential gelegt, während der Körperabschnitt 123c durch die nicht gezeigte bekannte Technik auf einem festen Potential liegt.

Für die Bildung eines MOS-SOI-Transistors im Bereich AR schließt die Festlegung des Potentials des Körperabschnitts des Transistors unter Verwendung der bekannten Technik parasitäre bipolare Effekte durch die Elektronen und Löcher, die durch Alphastrahlen erzeugt werden, von vornherein aus, ferner ist eine effektive Flächennutzung bei weiterer Erhöhung der Beständigkeit gegenüber der Alphastrahlung möglich.

Abwandlung

Um die Erzeugung von Alphastrahlen vom Lötöcker 11 zu vermeiden, kann ein Lötöcker verwendet werden, der aus einer bleifreien Legierung aus Gold und Zinn hergestellt ist.

Obwohl die Erfindung oben im einzelnen beschrieben worden ist, ist die vorangehende Beschreibung in ihren sämtlichen Aspekten lediglich erläuternd und nicht einschränkend zu verstehen. Selbstverständlich können zahlreiche Abwandlungen und Veränderungen vorgenommen werden, ohne vom Umfang der Erfindung abzuweichen.

Patentansprüche

1. Halbleiterbauelement, mit einer Halbleiterschicht (120), die in einer Isolierschicht (107, 108) vorgesehen ist und einen darin ausgebildeten Transistor mit SOI-Struktur enthält, einer Elektrode (103, 105, 106), die auf der Isolier-

schicht (107, 108) vorgesehen ist, und einem elektrisch leitenden Höcker (11), der auf der Elektrode (103, 105, 107) vorgesehen ist.

2. Halbleiterbauelement nach Anspruch 1, dadurch gekennzeichnet, daß der Transistor ein MOS-Transistor ist.

3. Halbleiterbauelement nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß der Transistor mehrere Transistorfeldabschirmungen (111) enthält, die voneinander isoliert sind und in der Halbleiterschicht (120) ausgebildet sind.

4. Halbleiterbauelement nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die Elektrode eine Mehrschichtstruktur enthält, die eine Titanschicht (105) und eine Nickelschicht (106) enthält.

5. Verfahren zur Herstellung eines Halbleiterbauelements, mit den folgenden Schritten:

(a) Bilden einer Elektrode (103, 105, 106) auf einem Halbleitersubstrat (101, 102) und

(b) Bilden eines elektrisch leitenden Höckers (11) auf der Elektrode (103, 105, 106) und Bilden eines Isolierfilms (201) zum Blockieren von Alphastrahlen und zum Bedecken einer oberen Fläche des Halbleitersubstrats (101, 102) mit Ausnahme der Elektrode (103, 105, 106).

6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß der Schritt (b) die folgenden Schritte enthält:

(b-1) Bilden des Isolierfilms (201) zum Blockieren der Alphastrahlen und Bedecken der oberen Fläche des Halbleitersubstrats (101, 102), so daß wenigstens ein Teil der Elektrode (103, 105, 106) freiliegt, und

(b-2) Bilden des elektrisch leitenden Höckers (11) auf dem freiliegenden Teil der Elektrode (103, 105, 106).

7. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß der Schritt (b) die folgenden Schritte enthält: (b-1) Bilden des Höckers (11) auf der Elektrode (103, 105, 106) und

(b-2) Tropfen des Materials des Isolierfilms (201) zum Blockieren der Alphastrahlen auf die obere Fläche des Halbleitersubstrats (101, 102) mit Ausnahme der Elektrode (103, 105, 106).

8. Verfahren nach einem der Ansprüche 5 bis 7, dadurch gekennzeichnet, daß die Elektrode eine Mehrschichtstruktur enthält, die eine Titanschicht (105) und eine Nickelschicht (106) umfaßt, und der Isolierfilm (201) aus Polyimid hergestellt ist.

9. Halbleiterbauelement, mit einem Halbleitersubstrat (101, 102), einer Elektrode (103, 105, 106), die auf dem Halbleitersubstrat (101, 102) angeordnet ist, einem elektrisch leitenden Höcker (11), der auf der Elektrode (103, 105, 106) vorgesehen ist, einem Film (201), der das Halbleitersubstrat (101, 102) mit Ausnahme des Höckers (11) bedeckt und Alphastrahlen blockiert,

einem ersten Element (123), das in dem Halbleitersubstrat (101, 102) in einem Bereich (AR) angeordnet ist, der vom Höcker (11) ohne Behinderung durch den Film (201) sichtbar ist, und

einem zweiten Element (121, 122), das im Halbleitersubstrat (101, 102) in einem von diesem Bereich (AR) verschiedenen Bereich angeordnet ist und gegenüber der Alphastrahlung weniger beständig ist als das erste Element (123).

10. Halbleiterbauelement nach Anspruch 9, dadurch gekennzeichnet, daß das erste Element ein MOS-Transistor (123) mit einem Körper auf einem festen Potential ist.

11. Halbleiterbauelement, mit
einem Halbleitersubstrat (101, 102),
einer Elektrode (103, 105, 106), die auf dem Halbleitersubstrat (101, 102) angeordnet ist,
einem elektrisch leitenden Höcker (11), der auf der 5
Elektrode (103, 105, 106) angeordnet ist,
einem Film (201), der das Halbleitersubstrat (101, 102)
mit Ausnahme des Höckers (11) bedeckt und Alphastrahlen blockiert,
einem Isolieroxidfilm (400), der auf dem Halbleiter- 10
substrat (101, 102) in einem Bereich (AR), der vom
Höcker (11) ohne Behinderung durch den Film (201)
sichtbar ist, angeordnet ist, und
einem Element (101a, 101b, 109), das in dem Halbleitersubstrat in dem von dem Bereich (AR) verschiede- 15
nen Bereich angeordnet ist.
12. Halbleiterbauelement nach einem der Ansprüche 9
bis 11, dadurch gekennzeichnet, daß der Höcker ein
Löthöcker (11) ist.
13. Halbleiterbauelement nach Anspruch 12, dadurch 20
gekennzeichnet, daß
die Elektrode eine Mehrschichtstruktur enthält, die
eine Titanschicht (105) und eine Nickelschicht (106)
umfaßt, und
der Film (201) aus Polyimid hergestellt ist. 25

Hierzu 7 Seite(n) Zeichnungen

30

35

40

45

50

55

60

65

- Leerseite -



FIG. 1

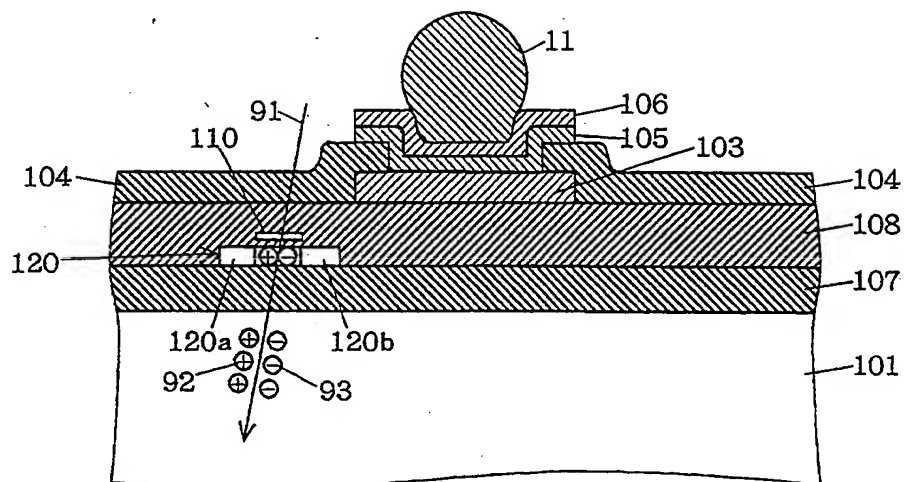


FIG. 2

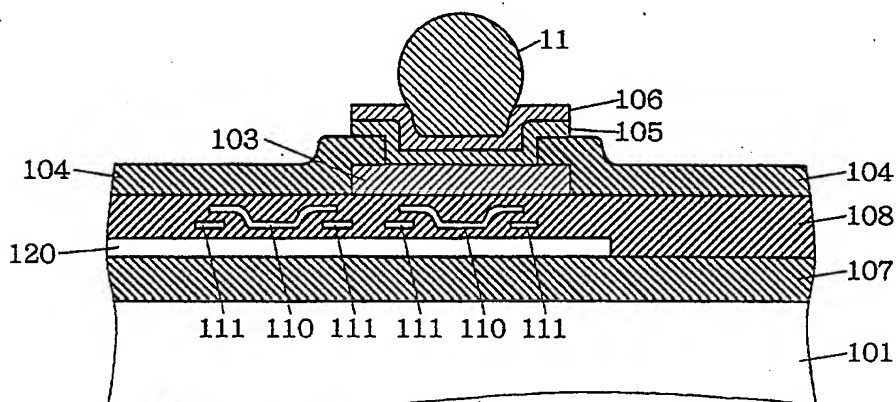


FIG. 3

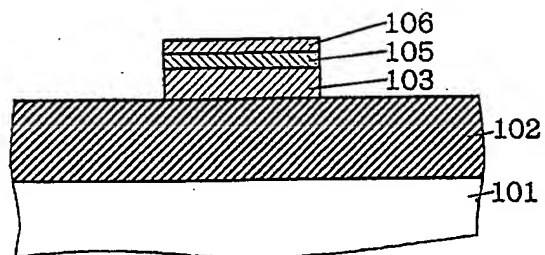


FIG. 4

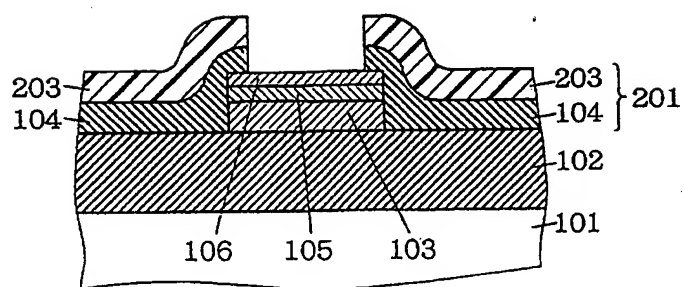


FIG. 5

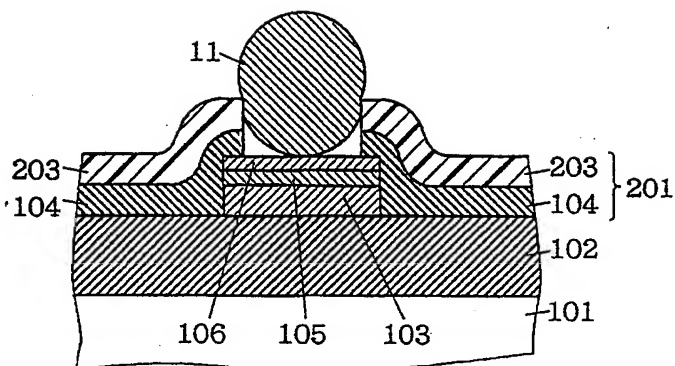


FIG. 6

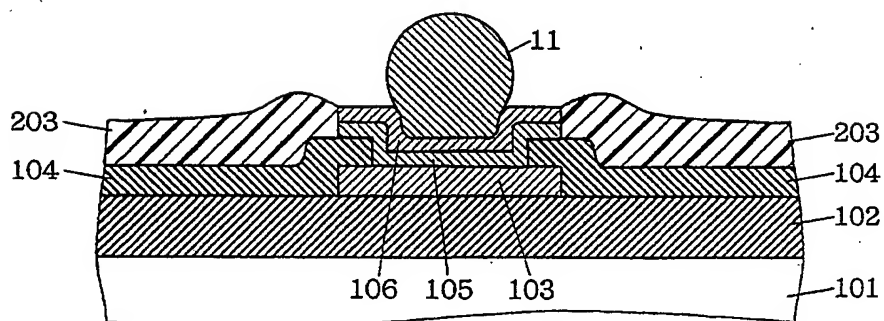


FIG. 7

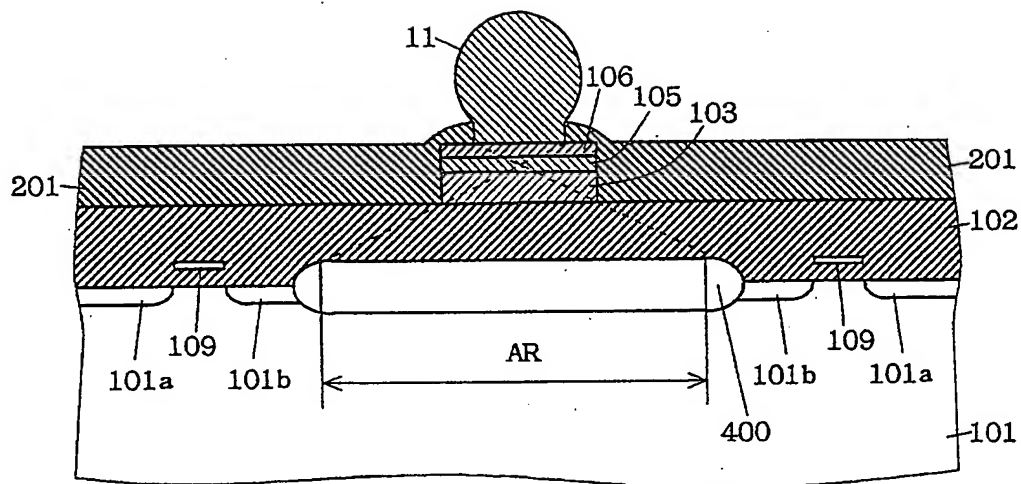


FIG. 8

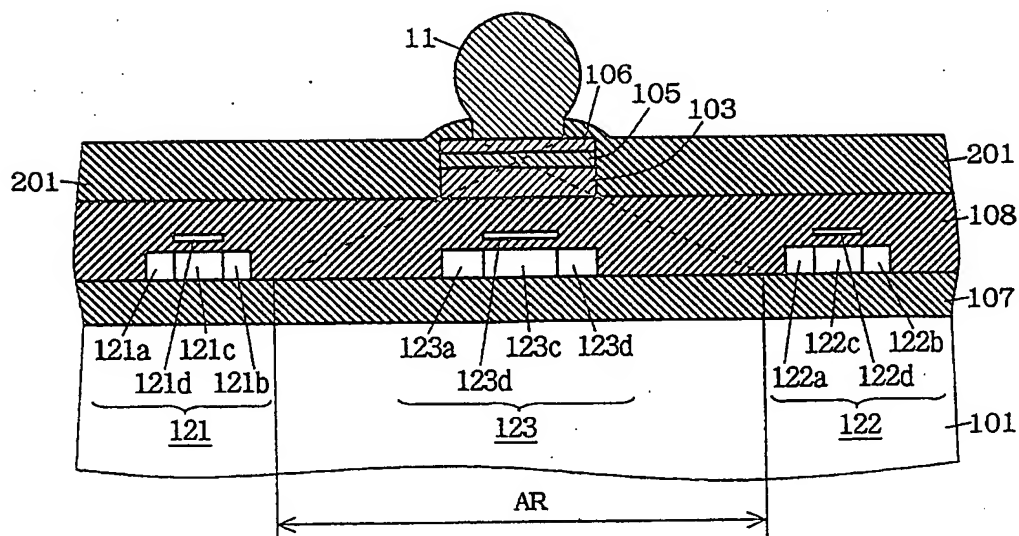


FIG. 9

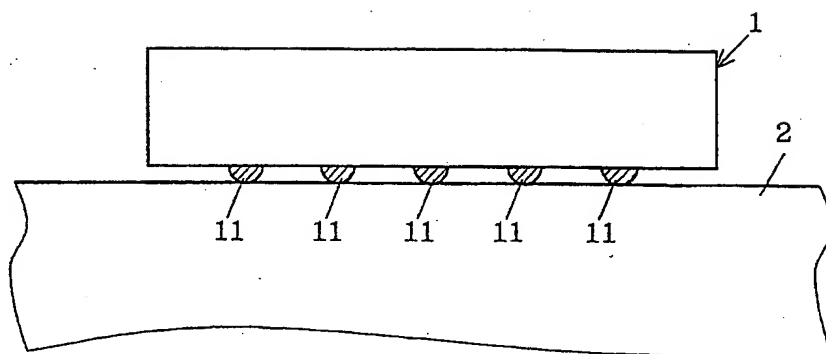


FIG. 10

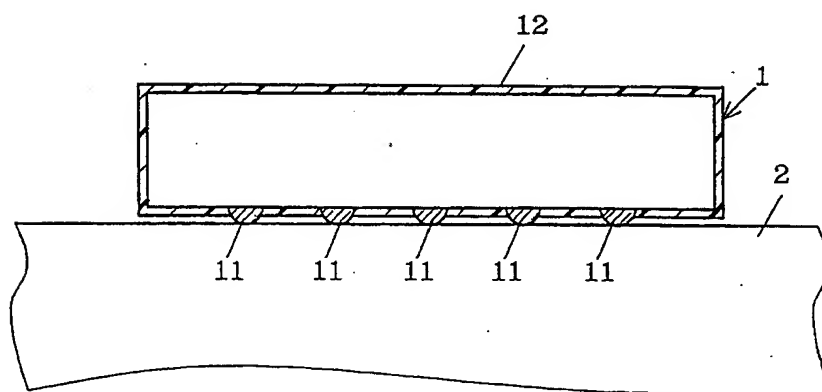


FIG. 11

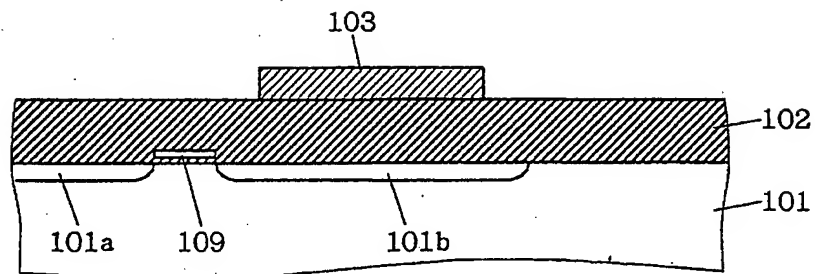


FIG. 12

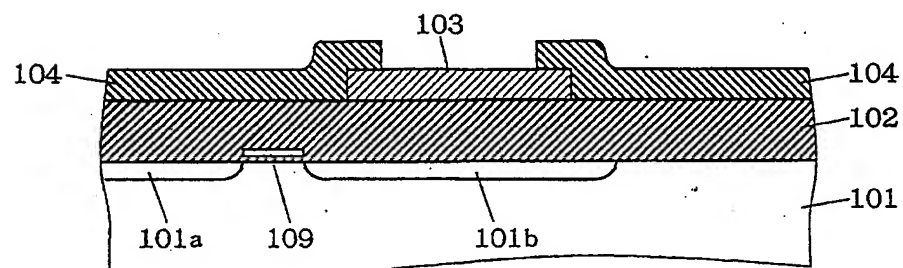


FIG. 13

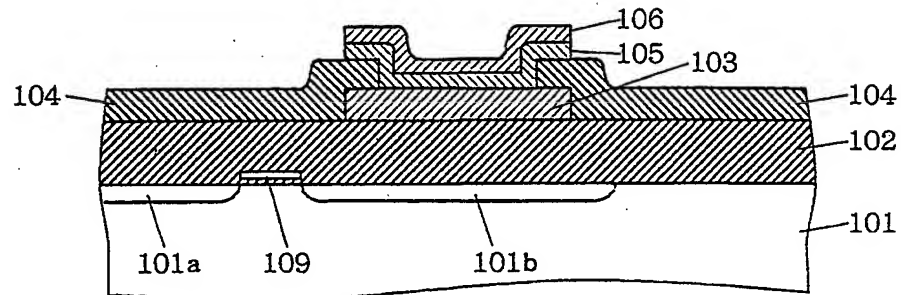


FIG. 14

